بیستمین کنفرانس ملی دانشجویی مهندسی برق ایران
دانشگاه رازی کرمانشاه
دانشگاه رازی
انجمن علمی مهندسی برق دانشگاه رازی
بیستمین کنفرانس ملی دانشجویی مهندسی برق ایران
20th IRANIAN STUDENT CONFERENCE ON ELECTRICAL ENGINEERING
NSSOEE سازمان علمی دانشجویی مهندسی برق کشور
ISC Islamic World Science Citation Center

بررسی و بهبود ساختار ترانزیستور اثر میدانی دو–گیتی با عایق اکسید آلومینیم ولایه گرافن

حسین رضا کاکولوند[۱] - رضا طالب‌زاده[۲]، علی میر[۳]

۱- دانشگاه لرستان-دانشکده فنی و مهندسی-گروه الکترونیک kakulvand.hr@fe.lu.ac.ir

۲- دانشگاه لرستان-دانشکده فنی و مهندسی- گروه الکترونیک talebzadeh.r@lu.ac.ir

۳- دانشگاه لرستان-دانشکده فنی و مهندسی- گروه الکترونیک mir.a@lu.ac.ir

چکیده :

در این مقاله به بررسی و بهبود طراحی یک ترانزیستور اثر میدانی دو- گیتی (DGGFET) با دو لایه گرافنی در ناحیه سورس، به منظور افزایش جریان حالت روشن پرداخته‌ایم. باتوجه به اینکه گرافن دارای خواص خوبی مثل رسانایی الکتریکی بالا، چگالی حالات دو-بعدی مناسب و تحرک‌پذیری بالای حامل‌های بار است، ما از آن برای افزایش جریان حالت روشن استفاده کردیم. لایه‌نشانی گرافن روی سطح سیلیکون به روش APCVD قابل انجام است. ساختار ناهمگن ناخالصی نوع p در منطقه سورس-کانال و هم‌زمان استفاده از لایه Al_2O_3 برای دو گیت باعث کاهش جریان نشتی در DGGFET می‌شود. در این ترانزیستور که دارای کانال خیلی کوچک در حد ۳۰ نانومتر از جنس سیلیسیم روی یک عایق از جنس Al_2O_3 اکسید آلومینیوم استفاده کرده‌ایم. در این افزاره پیشنهادی با توجه به اینکه ما از دو گیت در بالا و پایین ترانزیستور و از لایه گرافن استفاده کرده‌ایم لذا نام افزاره را DGGFET (دو-گیتی با لایه گرافن) قرار دادیم.

افزاره پیشنهادی دارای ویژگی‌های الکتریکی برتر از نظر، رسانایی، نسبت جریان I_{on}/I_{off}، شیب زیرآستانه-ای و جریان نشتی کم است. مدل پیشنهادی با نرم افزار سیلواکو Silvaco مورد بررسی و ارزیابی قرار گرفت.

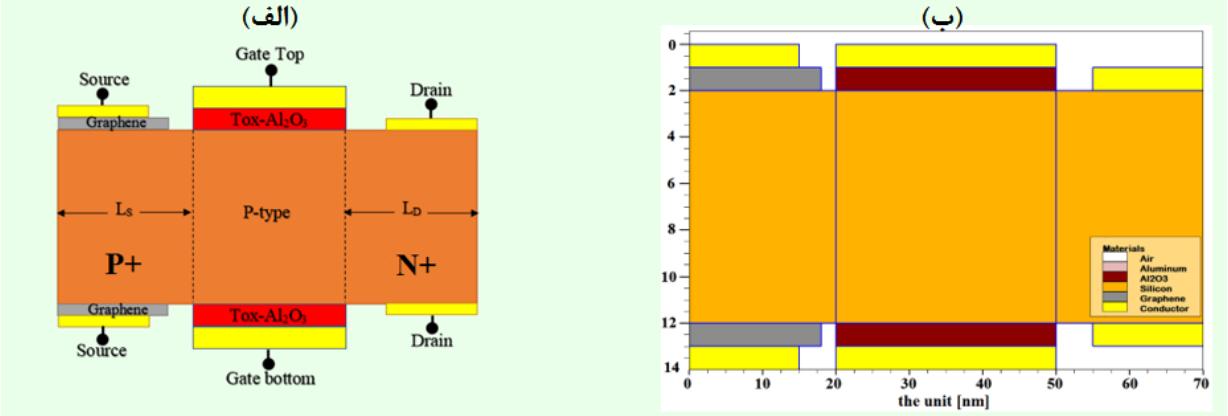
کلمات کلیدی: اکسیدآلومینیوم، گرافن، افزایش جریان

مقدمه

از چند دهه گذشته، در قالب قانون مور(مقیاس بندی) و برآورده ساختن الزامات صنعت الکترونیک، کاهش ترانزیستورهای اثر میدان اکسید فلز ماسفت ادامه یافته‌است. [۳-۱] سیلیکون در تکنولوژی عایق SOI نقش بزرگی در افزایش کیفیت این ترانزیستورها دارد . ویژگی های اصلی تکنولوژی SOI مانند عملکرد فرکانسی خوب از طریق کاهش خازن ها، آن را به یک گزینه مناسب در کنار سایر تکنولوژی ها مبدل کرده است.ازطرفی تکنولوژی سیلیسیم بر روی عایق (SOI) به دلیل مزایای عمده آن مانند جریان نشتی کم، ایزولاسیون ایده آل، کاهش خازنها و درنتیجه سرعت بالا و همچنین توانایی کار کردن در دمای محیطی بالا جهت ساخت قطعات الکترونیک استفاده میشود[۴] . یکی از مزایای بسیار خوب این ترانزیستور استفاده آن در ابعاد بسیار کوچک است، چراکه امروزه سعی بر هرچه کوچکتر نمودن ابعادترانزیستورها و حجم مدارات می نمایند[۵]. از زمان جداسازی گرافن در سال ۲۰۰۴، کاربرد های گرافن در زمینه های مختلف همچون الکترونیک، حسگرها، کاتالیست ها و سیستم های مرتبط با انرژی مورد توجه قرار گرفته است[۶،۷،۸،۹]. گرافن، شبه فلز دو بعدی باند صفر با همپوشانی کم بین نوار والانس و هدایت است که اثر میدان الکتریکی دو قطبی قوی با چگالی حامل $10^{13}\ cm^{-2}$ دارد. گرچه استفاده از گرافن در ترانزیستور های اثر میدانی به وسیله گاف انرژی صفر محدود میشود اما این مواد ویژگی حمل بار الکتریکی خوبی دارند. RF (فرکانس رادیویی) فت ها معمولا در ناحیه فعال در مدارها قراردارند و برای تقویت آنها هستند، بنابراین فت ها با گرافن، برای کاربردهای RF مورد توجه قرار گرفته‌است. از سوی دیگر، مدارهای RF به اندازه مدارهای مجتمع دیجیتال پیچیده نیستند و تراشه‌های RF انعطاف‌پذیری بیشتری در استفاده از مواد جدید دارند.در این میان، انواع ترانزیستورها و مواد مورد استفاده در مدارهای RF شامل ترانزیستورهای دوقطبی، ماسفت های کانال n و ترانزیستورهای که قابلیت انتقال الکترون بالا را دارند میتوانند در این مدار ها مجتمع شده و باعث بهبود در کارشوند. لذا در این مقاله سعی کردیم تا از رفتار ذاتی صفحه گرافن یعنی تحرک حامل بالا و شکاف باند پایین برای افزایش جریان حالت روشن بهره ببریم. [۱۰،۱۱،۱۲] . از طرفی ترانزیستورهای تک گیته در مقیاس نانو شامل اثرات کانال کوتاه است که در ساختارهای چند گیته همانند دوگیته، سه گیته در اطراف کانال این اثرات تقریباً از بین رفته است. ماسفتهای دوگیته از نظر الکترواستاتیکی بهتر از یک ماسفت تک گیته بوده و امکان بیشتری برای مقیاس گذاری طول گیت آنها وجود دارد. ماسفت های دوگیته قطعاتی هستند که دارای دو گیت در هر دو طرف کانال هستند، یکی در سمت بالا که بعنوان گیت بالا و دیگری در سمت پایین کانال که بعنوان گیت پایین شناخته میشود. این مدل کنترل بهتری از کانال بوسیله الکترودهای گیت میدهد و تضمین میکند که هیچ بخشی از کانال دور از الکترود گیت نباشد.ساختار ماسفت دو گیته موجب به حداقل رساندن اثرات کانال کوتاه شده و اجازه مقیاس گذاری بیشتر قطعه را تا حدود ۱۰ نانومتر میدهد.

ساختار ترانزیستور DGGFET و پارامترهای مربوط به ساختار

شماتیک دوبعدی ساختار پیشنهادی در شکل (۱) نشان داده شده است [۲۰]. در رسم ساختار و نیز شبیه‌سازی از نرم‌افزار اطلس (سیلواکو **Silvaco**) استفاده شده است. در این ساختار طول کانال ۳۰ نانو و نواحی سورس و درین هر کدام ۲۰ نانومتر انتخاب شده است. لایه گرافن به ضخامت ۱ نانومتر در بالا و پایین سیلیکون لایه‌نشانی شده است. پارامترها و اندازه‌های این افزاره در (جدول ۱) آمده است. از آلومینیوم ، نقره ، مس وسرب می‌توان بعنوان فلز در گیت استفاده کرد[۱۹]. برای محاسبه و بدست‌آوردن نتایج با استفاده از نرم افزار سیلواکو از مدلهای یونیزاسیون برخوردی **Impact Selb** ، بازترکیب **SRH** ، مدل تونل‌زنی **HEI** و **BBT** ، مدل بازترکیبی وابسته به میدان **Fldmob** ، **BGN** و **CONMOB** تحرک وابسته به غلظت در نظر گرفته می‌شود. مدل‌های **SRH** و **Auger** فرایند بازترکیب را در افزاره در نظر می‌گیرند. **HEI** و **HHI** الکترون برانگیخته و چگالی جریان های الکترون – حفره را محاسبه می‌کنند [۲۱]. مدل **BGN** وابستگی شکاف باند را به تراکم ناخالصی اعمال می‌کند و مدل **Impact Selb** بر پدیده تولید یونیزاسیون تأثیر می گذارند و ازمدل تونل زنی جهت محاسبه تونل زنی نواربه نوار استفاده شد. باتوجه به اینکه که ماده گرافن در نرم افزارسیلواکو **Silvaco** تعریف نشده است، به منظور داشتن رفتار قابل قبول در شبیه‌سازی‌ها برای گرافن، ما از ماده ای **3C-SiC** که رفتاری نزدیک به گرافن دارد استفاده کرده[۲۲،۲۳] و پارامترهای مربوط به خود ماده گرافن(جدول ۲) از جمله تحرک حامل‌ها، شکاف نوار، غلظت اشباع و جرم موثرحامل‌ها را به ماده گرافن در نرم افزار اعمال کرده‌ایم [۲۴،۲۵]. مقادیر و پارامترهای استفاده شده با توجه به نقشه راه فناوری نیمه هادی ها انتخاب شده است. [۱۳]



شکل ۱ : ساختار ترانزیستور DGGFET-SOL الف) ساختار ارائه شده با مشخص کردن دوپ ها و نواحی سورس و درین ب) شبیه سازی با نرم افزار سیلواکو

پارامترها	مقادیر
ضخامت لایه اکسید	۱ نانومتر
طول کانال	۳۰ نانومتر
عرض کانال	۱۰ نانومتر
طول نواحی سورس ودرین (L_S , L_D)	۲۰ نانومتر
ضخامت لایه گرافن	۱ نانومتر
طول لایه گرافن	۱۸ نانومتر
چگالی ناخالصی ناحیه کانال	۱×۱۰^{۱۵} سانتیمتر مکعب
چگالی ناخالصی ناحیه سورس	۱×۱۰^{۱۹} سانتیمتر مکعب
چگالی ناخالصی ناحیه درین	۵×۱۰^{۱۸} سانتیمتر مکعب
طول الکترودهای سورس ودرین	۱۵ نانومتر

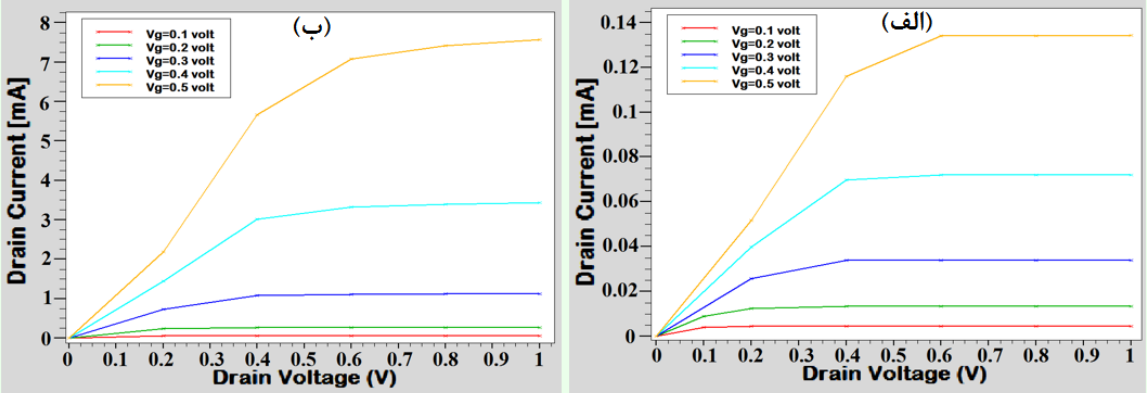
جدول شماره ۱ : پارامترها و مقادیر استفاده شده در ترانزیستور DGGFET-SOL

پارامترهای اعمال شده برای شبیه سازی گرافن در شبیه ساز	
خواص الکتریکی	مقدار در شبیه سازی
باند گپ [۱۴،۱۵]	0 (ev)
تحرک حامل های الکترون وحفره [۱۶]	7500 ($cm^2V^{-1}S^{-1}$)
جرم موثرالکترون و حفره	0.0251
طول عمر الکترون و حفره ها (SRH)	1e-12 (s)
[۱۷] Affinity	4.248
[۱۸] Permittivity	3.3

جدول ۲ : پارامترهای کاربردی برای شبیه سازی گرافن در شبیه ساز سیلواکو **Silvaco**

ما در این مقاله برای بهبود پارمترهای چون افزایش جریان on، نسبت جریان I_{on}/I_{off}، جریان نشتی کم و ... درافزاره ترانزیستور پیشنهادی با استفاده از ناخالصی نامتقارن در نواحی کانال و سورس-درین و استفاده از خواص گرافن و لایه اکسید آلومینیوم (high K) به عنوان عایق افزاره‌ی رو پیشنهاد دادیم که دارای خصوصیات جالبی است که در ادامه با نرم افزارسیلواکو پارمترهای که مورد ارزیابی قرار گرفته را بحث می‌کنیم. دراین بخش اول ما افزاره پیشنهادی را از نظر عملکرد الکتریکی DC و AC مورد بررسی قراردادیم. در بخش بعدی تاثیر ضخامت لایه اکسید را بر روی پارامترهای الکتریکی و افزایش طول کانال رو مورد بررسی قرار می‌دهیم.

در (شکل ۲-الف) بدون اعمال مدل بازترکیبی وابسته به میدان Fldmob و مدل Impact Selb بر پدیده تولید یونیزاسیون و مدل تونل زنی HEI مشاهده می‌شود در این افزاره پیشنهادی با اعمال ولتاژ DC ورودی گیت Vg=0.1 v، جریانی برابر I=0.004 mA و برای ولتاژ ورودی گیت Vg=0.5 v، جریانی برابر با I=0.13 mA رو خواهیم داشت حال در(شکل ۲-ب) با اعمال مدل بازترکیبی وابسته به میدان Fldmob و مدل Impact Selb بر پدیده تولید یونیزاسیون و و مدل تونل زنی HEI و تونل زنی باندبه باند با اعمال ولتاژ ورودی گیت Vg=0.1 v و جریانی برابر I=0.055 mA و برای ولتاژ ورودی گیت Vg=0.5 v و جریانی برابر I=7.56 mA را خواهیم داشت. نتیجه این که تاثیرات پارامترهای Impact Selb و Fldmob و تونل زنی در نتایج بدست آمده از شبیه‌ساز برروی افزاره بسیار تاثیرگذار و مهم است .

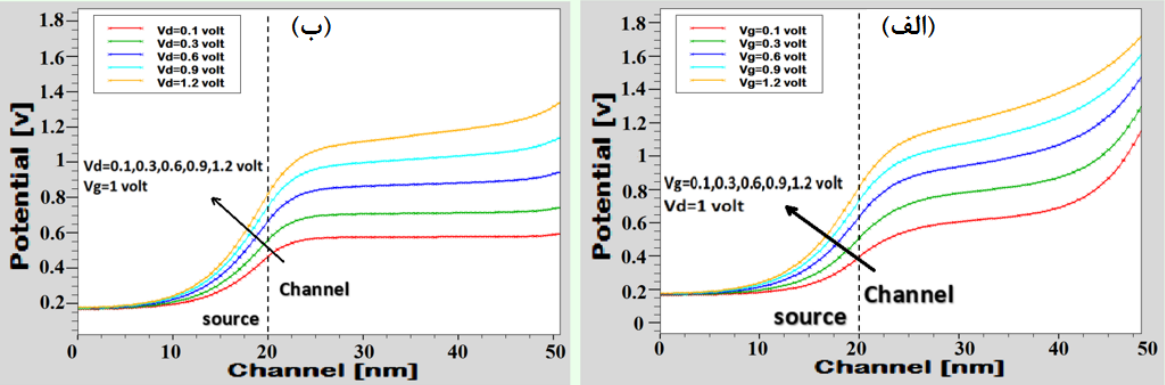


شکل ۲- الف و ب : تاثیر مدل های بازترکیب وابسته به میدان و پدیده تولید یونیزاسیون و مدل تونل زنی

در شکل ۳ (الف) نتایج شبیه سازی شده از پتانسیل سطح در کانال تحت $V_D = 1$ v با ولتاژ گیت (V_G) متغیر را نشان می دهد که می توان مشاهده کرد، همانطور که از مبدا شروع می‌کنیم، پتانسیل کانال با افزایش طول کانال بطور خطی افزایش یافته و با افزایش ولتاژ (V_G) شیب دارتر می شود. این امر منجر به افزایش میدان الکتریکی در سطح ارتباطی سورس به کانال می‌شود و در نتیجه باعث افزایش نرخ تولید تونل نواربه‌نوار بالاتر

می‌شود. با افزایش ولتاژ گیت (V_G) ناحیه تخلیه سورس از سمت سورس گسترش یافته و از طرفی ناحیه تخلیه کانال هم کاهش می‌یابد. با توجه به توده حامل‌های الکترون‌های آزاد در منطقه کانال با افزایش ولتاژ گیت V_G،

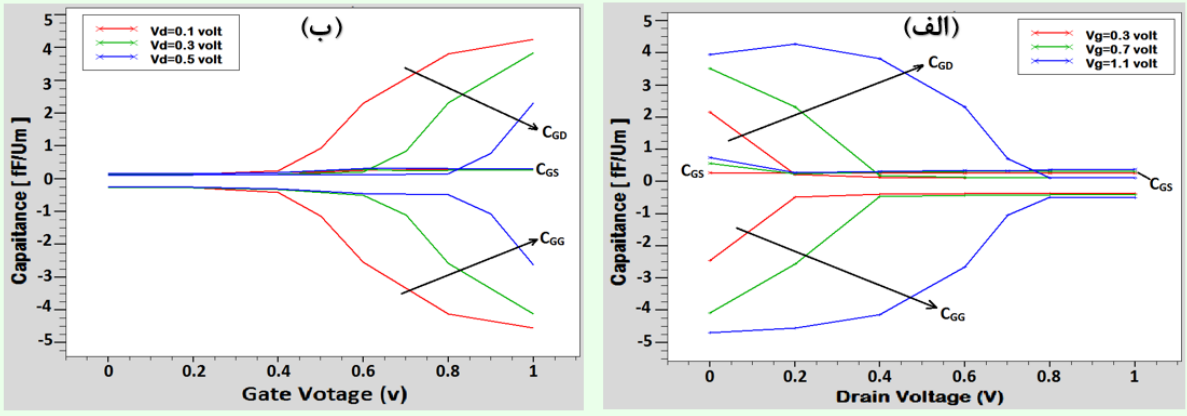
هدایت کانال متراکم (پرشده از الکترون) نیز افزایش می‌یابد که منجر به اشباع پتانسیل سطح در سراسر این منطقه و افزایش به سمت درین می‌شود.



شکل ۳ :تغییر پتانسیل سطحی و فاصله عرضی کانال برای الف) Vd ثابت و Vg متغیر ب) Vg ثابت و Vd متغیر

در شکل ۳ (ب) نتایج شبیه‌سازی شده از پتانسیل سطح در کانال تحت $V_G = 1\ v$ با ولتاژ درین (V_D) متغیر را نشان می دهد. پتانسیل سطح کانال ابتدا به صورت خطی با افزایش ولتاژ(V_D) به دلیل مقاومت بسیار کم کانال در ناحیه تجمع افزایش می‌یابد. اما با افزایش بیشترولتاژ درین (V_D)، کانال دوباره تخلیه می شود و به دلیل کاهش اتصال بین درین و سورس، پتانسیل سطح کانال به آرامی اشباع می‌شود.

شکل ۴ قسمت (الف) در ولتاژ گیت (V_G) ثابت و ولتاژ درین (V_D) پایین، الکترون‌ها در کانال تجمع می‌یابند که منجر به مقدار بالای ظرفیت خازنی (C_{GD}) می‌شود. با این حال، با افزایش ولتاژ درین (V_D) الکترون‌ها از کانال تخلیه می‌شوند و منجر به کاهش ظرفیت خازنی (C_{GD}) می‌شوند.

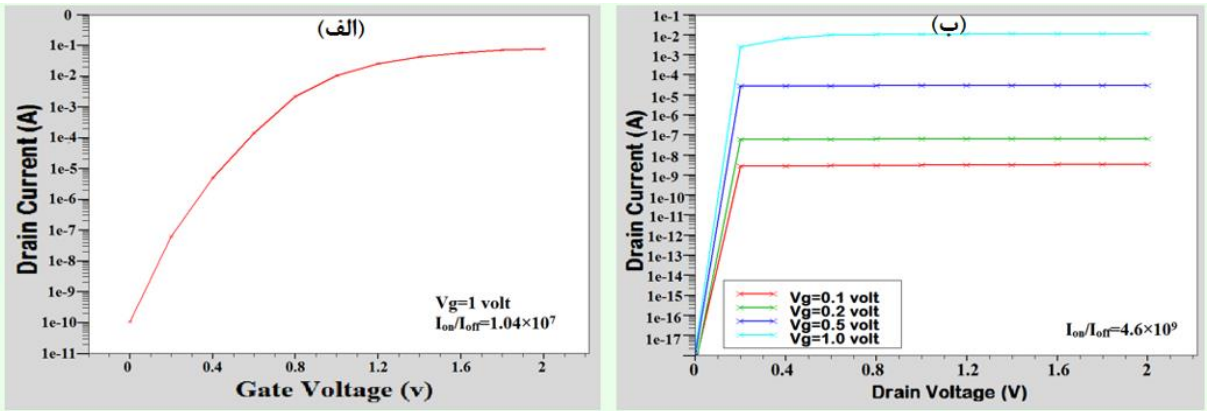


شکل ۴- شبیه سازی ظرفیت خازنی دستگاه DGGFET-SOL پیشنهادی با نرم افزار سیلواکو برای ولتاژ(الف) V_G (ب) V_D

در شکل ۴ قسمت (ب) برای ولتاژ های ثابت (V_D) با ولتاژهای کم گیت (V_G) کانال در حال تخلیه است این امر منجر به مقادیر بسیار کم و بدون تغییر (C_{GD}) و (C_{GS}) در ولتاژگیت (V_G) پایین می‌شود. همانطور که ولتاژ گیت (V_G) را افزایش می‌دهیم، تعداد الکترونهای جمع شده در کانال نیز افزایش می‌یابد و از این‌رو (C_{GD}) شروع به

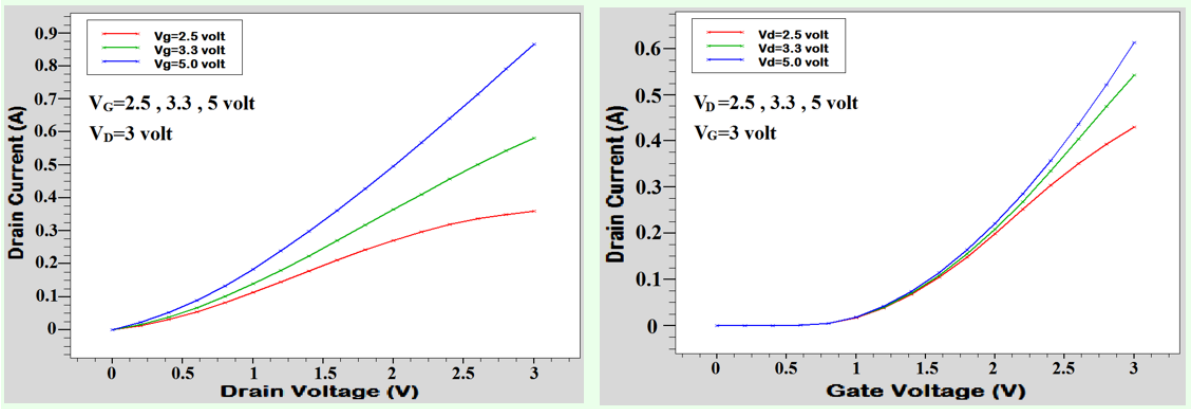
افزایش می‌کند. اما،(C_{GS}) در مقایسه با (C_{GD}) ناچیز است زیرا جریان تونل‌زنی در محل اتصال تونل (منبع – کانال) محدود می‌شود که منجر به (C_{GS}) بسیار پایین می‌شود.

شکل ۵ – (الف) مشخصات I_D-V_{DS} حاصل از جریان درین از شبیه‌سازی سیلواکو برای V_{GS} = 1 v نشان می‌دهد. در ولتاژ درین–سورس V_{DS} پایین، منطقه کانال به علت انباشتگی حامل‌ها دارای مقاومت بسیار کمی است. به همین دلیل، V_{DS} میدان الکتریکی فصل مشترک کانال –سورس را تعدیل می‌کند و از این‌رو، جریان تغییر می‌کند. حال، با افزایش بیشتر ولتاژ V_{DS}، حامل های بار انباشته شده از کانال رانده می شوند و مقاومت کانال را افزایش می دهند. این امر باعث کاهش تزویج بین درین و سورس و در نتیجه اشباع جریان درین می‌شود. قسمت (ب) مشخصات I_D-V_{GS} از جریان درین که از شبیه‌سازی برای ولتاژ V_{DS}=0.1,0.2,0.5, 1 v بدست آمده است.



شکل ۵ – نسبت جریان I_{on}/I_{off} برای ولتاژ V_{GS} و V_{DS}

باکاهش ضخامت، اکسید گیت نمی‌تواند ولتاژهای مرسوم 3.3 v و 5 v را تحمل کند [۱۹] و کاهش ولتاژ تغذیه مستلزم کاهش ولتاژ هدایت زیرآستانه است اما در این افزاره پیشنهادی مطابق شکل ۶ ما می‌بینیم که در ولتاژهای AC مورد نظر، افزاره به خوبی کارکرده و می‌تواند ولتاژهای بالاتر نیز پوشش دهد.

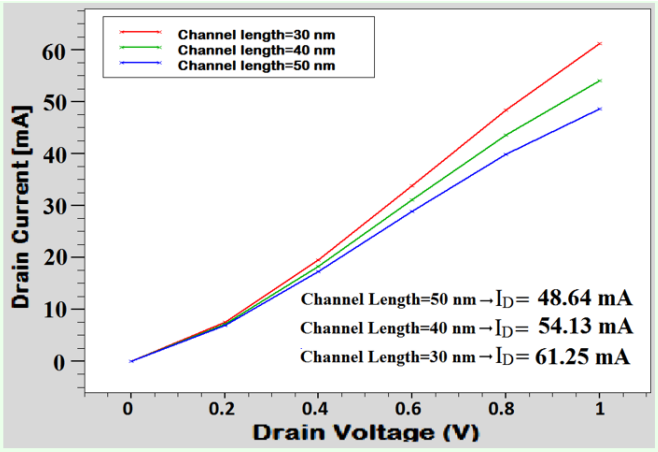


شکل ۶ – ولتاژ های V_{GS} و V_{DS} برای ولتاژهای V(AC)=2.5 , 3.3 , 5 v ولت با اعمال فرکانس 10 GHZ

بخش ۲

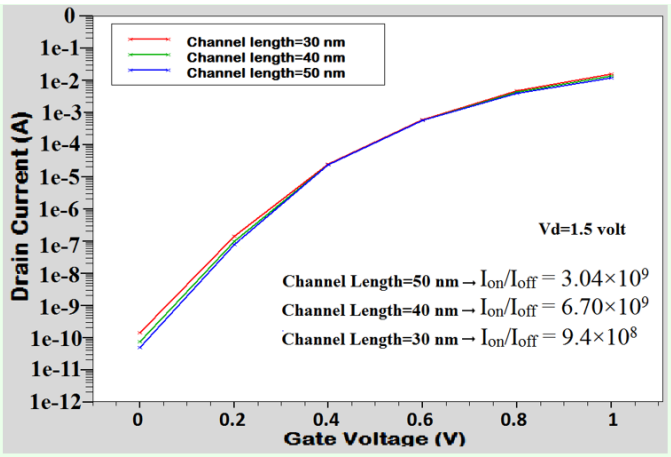
دراین بخش ما به بررسی و مقایسه پارامترهای دیگرافزاره از جمله افزایش ضخامت لایه اکسید برای اندازه‌های ۱، ۲ و ۳ نانومتر و همچنین بررسی افزایش طول کانال برای طول های ۳۰، ۴۰ و ۵۰ نانومتر برای ولتاژهای V_{GS} و V_{DS} را بررسی می‌کنیم.

درشکل ۷ مشاهده می شود که با افزایش طول کانال جریان درین کاهش پیدا کرده که این هم به دلیل کاهش میدان الکتریکی که با افزایش طول کانال ایجاد می[؟]شود رخ داده لذا طبق این خروجی‌ها نتیجه می‌شود که لایه 30 nm برای این افزاره مناسب است



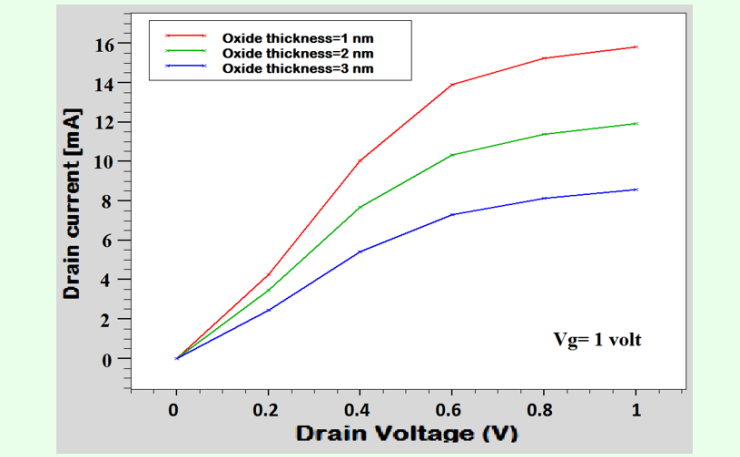
شکل ۷ – طول کانال دستگاه برای اندازه های 30 nm و 40 nm و 50 nm با ولتاژ V_{GS}=1.5 volt

درشکل ۸ نسبت جریان I_{on}/I_{off} افزاره برای مقادیر ولتاژ درین-سورس (V_{DS}) برای طول کانال 30 nm ، 40 nm و 50 nm را مورد بررسی قراردادیم که طبق خروجی نرم افزار سیلواکو نسبت جریان I_{on}/I_{off} برای طول کانال 30 nm بهترین خروجی در اندازه 9.4×10^8 را داریم لذا طول کانال پیشنهادی برای این افزاره مناسب است.



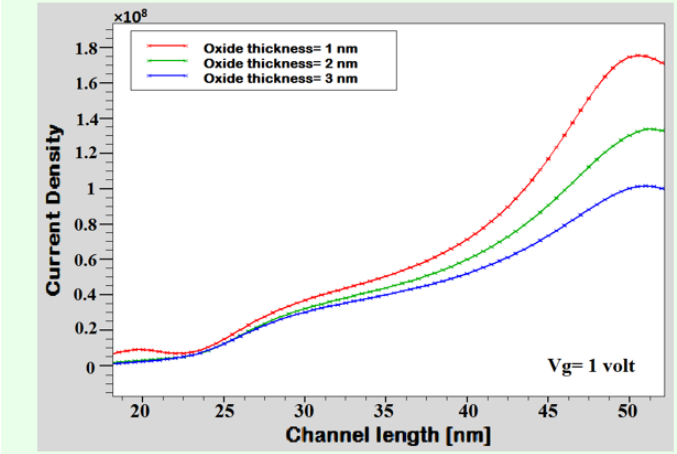
شکل۸ – نسبت جریان I_{on}/I_{off} دستگاه برای اندازه های 30 nm و 40 nm و 50 nm با ولتاژ V_{DS}=1.5 volt

در شکل ۹ با اعمال ولتاژ گیت-سورس V_{GS}=1 volt در ضخامت های متفاوت ۱، ۲ و ۳ نانومتری مشاهده می‌شود بیشترین جریان درین I_D در ضخامت ۱ نانومتری است که میدان الکتریکی قوی که درضخامت اکسید ۱ نانومتری به علت ضخامت کم ایجاد شده و از طرفی لایه گرافنی که باعث افزایش حامل‌ها و انباشتگی در دو-سوم انتهای کانال و بیشینه‌شدن سرعت رانش الکترون‌ها در نزدیکی درین شده و باعث جریان خوبی دردرین I_D می‌شود.



شکل ۹ – جریان درین با V_G=1 volt برای ضخامت اکسیدهای 1nm , 2nm , 3nm

در شکل ۱۰ با توجه به اعمال ناخالصی ناهمگن در طول کانال و نواحی سورس و درین و لایه گرافنی، در ضخامت-های ۱، ۲ و ۳ نانومتری برای لایه اکسید مشاهده می‌شود که لایه اکسید (Al_2O_3) در ضخامت ۱ نانومتری دارای بیشترین چگالی جریان بوده و به این دلیل است که شارش الکترون ها از سمت کانال به درین به دلیل ضخامت کم لایه اکسید و افزایش میدان الکتریکی در حال فزونی بوده و باعث افزایش چگالی جریان در سمت درین می‌شود.



شکل ۱۰ – چگالی جریان با V_G=1 volt در طول برش BB از طول کانال برای ضخامت های 1,2,3 nm

نتیجه

در این ساختار ما ابتدا با ناخالصی نامتقارن گاشته شده درکانال و زیرلایه گیت های بالا و پایین ترانزیستور دو-گیتی و نواحی سورس و درین و با استفاده از Al_2O_3 به عنوان عایق همچنین با استفاده از مزیت مواد گرافن، جریان حالت on افزاره را افزایش دادیم و جریان نشتی گیت را که ناشی از ضخامت کم لایه عایق بین گیت و زیر لایه در اثر مقیاس‌بندی است با روش دو-گیتی کردن را کاهش دادیم و همچنین استقامت بسیار خوبی در برابر اثرات کانال زنی مانند DIBL و تزریق حامل های گرم نشان می دهد، که این قابلیت اطمینان این افزاره را تأیید می کند. همچنین نسبت جریان I_{on}/I_{off} را بهبود داده و شیب زیر آستانه را توانستیم بهبود دهیم. از این افزاره می‌توان در کارهای RF یاکاربردهای فوق کم مصرف استفاده کرد.

منابع

[1] L. Vancaille, V. Kilchytska, D. Levacq, S. Adriaensen, H. Van Meer, K. De Meyer, G. Torrese, J. P. Raskin and D. Flandre, "Influence of HALO implantation on analog performance and comparison between bulk, partially depleted and fully depleted MOSFETs," Proc. IEEE Int. SOI Conf., pp. 161 –163, 2002.

[2] M. J. Kumar and A. Chaudhry, "Two-dimensiona l analytical modeling of fully depleted DMG SOI MOSFET and evidence for diminished SCEs," IEEE Trans. Electron Devices, vol. 51, no. 4, pp. 569–574, 2004.

[3] J. P. Colinge, "Multiple-gate SOI MOSFETs," SolidState Electron. , vol. 48, no. 6, pp. 897–905, 2004

[4] J. P. Colinge, Silicon-on-Insulator: Materials to VLSI, 3rd ed. Norweel MA, USA: Kluwer, 2004.

[5] M. R. Narayanan, H. Al-Nashash and D. Pal, "Thermal model of MOSFET with SELBOX structure," Journal of Computational Electronics, vol. 12, pp. 803– 811, 2013.

[6] K.S. Novoselov, D.V. Andreeva, W. Ren, G. Shan, Graphene and other two-dimensional materials, Frontiers of Physics 14 (2019) 13301, https://doi.org//١٠,١٠٠٧s11467-018-0835-6.

[7] J.M. Marmolejo-Tejada, J. Velasco-Medina, Review on graphene nanoribbon devices for logic applications, Microelectron. J. 48 (2016) 18–38, https://doi.org/10.1016/j.mejo.2015.11.006.

[8] S. Sato, Graphene for nanoelectronics, Jpn. J. Appl. Phys. 54 (2015), 040102, https://doi.org/10.7567/JJAP.54.040102.

[9] H. Abdollahi, R. Hooshmand, H. Owlia, Graphene-based current mode logic circuits: a simulation study for an emerging technology, Int. J. Electron.Telecommun. 65 (2019) 381–388, https://doi.org/10.24425/ijet.2019.129789.

[10] Schwierz F. Graphene transistors. Nature Nanotechnol 2010;5:487.

[11] Geim A, Novoselov K. The rise of graphene. Nature Mater 2007;6:183–91.

[12] Kedzierski J, Hsu P-L, Reina A, Kong J, Healey P, Wyatt P, et al. Graphene-oninsulator transistors made using C on Ni chemical-vapor deposition. IEEE Electron Device Lett 2009;30:745–7.

[13] International Device Simulation Software, SILVACO TCAD, 2014

[14] Kedzierski J, Hsu P-L, Reina A, Kong J, Healey P, Wyatt P, et al. Graphene-oninsulator transistors made using C on Ni chemical-vapor deposition. IEEE Electron Device Lett 2009;30:745–7.

[15] Yoon Y, Fiori G, Hong S, Iannaccone G, Guo J. Performance comparison of graphene nanoribbon FETs with Schottky contacts and doped reservoirs. IEEE Trans Electron Devices 2008;55:2314–23.

[16] Novoselov KS, Geim AK, Morozov SV, Jiang D, Zhang Y, Dubonos SV, et al. Electric field effect in atomically thin carbon films. Science 2004;306:666–9.

[17] Alina Cismaru, Mircea Dragoman, Adrian Dinescu, Daniela Dragoman, G. Stavrinidis, G.Konstantinidis, Microwave and Millimeterwave Electrical Permittivity of Graphene Monolayer,ar xiv preprint ar xiv:1309.0990, 2013.

[18] Bart N. Szafranek, et al., Current saturation and voltage gain in bilayer graphene field effect
transistors, Nano Lett. 12 (3) (2012) 1324e1328.
[19] S. Komalavalli, T.S. Arun Samuel, P. Vimala, Performance Analysis of Triple Material Tri gate TFET using 3D Analytical Modelling and TCAD Simulation, International Journal of Electronics and Communications (2019), doi: https://doi.org/10.1016/j.aeue.2019.152842
[20] S. Kaur, A. Raman, R.K. Sarin, An explicit surface potential, capacitance and drain current model for double-gate TFET, Superlattices and Microstructures (2020), doi: https://doi.org/10.1016/j.spmi.2020.106431.
[21] Atlas DS. Atlas user's manual. Santa Clara, CA, USA: Silvaco International Software;2015.
[22] Mobarakeh MS, Moezi N, Vali M, Dideban D. A novel graphene tunnelling field effect transistor
[23] (GTFET) using bandgap engineering. Superlatt Microstruct D.L. Tiwari, K. Sivasankaran, Impact of substrate on performance of band gap engineered graphene field effect transistor, Superlattices and Microstructures (2017), doi: 10.1016/j.spmi.2017.11.004.
[24] Castro EV, Novoselov K, Morozov S, Peres N, Dos Santos JL, Nilsson J, et al. Biased bilayer graphene: semiconductor with a gap tunable by the electric field effect. Phys Rev Lett 2007;99:216802.
[25] Szafranek BN, Fiori G, Schall D, Neumaier D, Kurz H. Current saturation and voltage gain in bilayer graphene field effect transistors. Nano Lett 2012;12:1324–8.
[26] A. Youssef, M. Zahran, M. Anis, and M. Elmasry, "On the Power Management of Simultaneous Multithreading Processors," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 18, pp. 1243 - 1248, 2009.